

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-106951

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

H01L 21/20  
H01L 27/12  
H01L 29/786  
H01L 21/336

(21)Application number : 08-255644

(71)Applicant : SHARP CORP

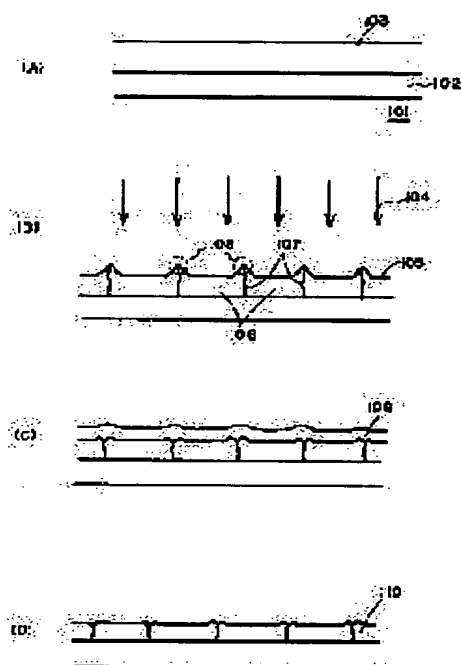
(22)Date of filing : 27.09.1996

(72)Inventor : MAKITA NAOKI

**(54) SEMICONDUCTOR THIN FILM, SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR THIN FILM****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor thin film which is high in quality and serves as an active region of a semiconductor device by a method in which an amorphous silicon film formed on a substrate having an insulating surface is crystallized by irradiation with a strong light beam.

**SOLUTION:** An insulating base film 102 such as a silicon oxide film is formed on a substrate 101, and an amorphous silicon film 103 is formed thereon. Then, the amorphous silicon film 103 is irradiated with a strong light beam 104 such as a laser beam to be crystallized. In result, a crystalline silicon film 105 is formed of crystal grains 106, and ridges 108 like hillocks are formed at grain boundaries 107 on the surface of the film 105. The ridges 108 are selectively oxidized by a thermal treatment to be flattened. Then, a surface oxide film 109 is removed, thereby a high-quality crystalline silicon film 110 without ridges induced by crystallization on its surface can be obtained.

**LEGAL STATUS**

[Date of request for examination] 28.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3389022

[Date of registration] 17.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



- 【0005】(1) 成膜時に結晶性を有する膜を直接成膜する。
- 【0006】(2) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる。
- 【0007】(3) 非晶質の半導体膜を成膜しておき、レーザー光で強光のエネルギーにより結晶性を有せしめる。
- 【0008】しかしながら、上記(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得ることが難しく、それにはケイ素膜の厚さを大きくすることが不可欠となる。しかし、厚さを大きくしても基本的には晶質と同程度の結晶粒径しか得られず、この方法により良好な結晶性を有するケイ素膜を作製することは原理的に不可能である。
- 【0009】また、上記(2)の方法は、結晶化に際し800℃以上の高温にて数十時間わたる加熱処理が必要であるため、生産性に非常に乏しい。また、固相結晶化現象を利用するため、結晶粒は基板面に平行に並び、数μmの粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合っており結晶が形成されるため、その粒径はキャリアに対してラップ単位として動き、TFTの移動度を低下させる大きな原因となっている。さらに、それぞれの結晶粒は双極構造を示し、一つの結晶粒内においても所謂双極欠陥と呼ばれる結晶欠陥が多量に存在している。
- 【0010】上記(3)の方法を利用して、前述の問題点を解決する方法が、特開平6-244103号公報(以下、第1の公報という)および特開平8-244104号公報(以下、第2の公報という)で提案されている。これらの方法では、非晶質ケイ素膜の結晶化を助長する触媒元素を利用することで、加熱温度の低減および処理時間の短縮を図っている。具体的には、非晶質ケイ素膜の表面にニッケルやパラジウム等の金属元素を微量に導入させ、しかる後に加熱することで、550℃、4時間程度の処理時間で結晶化が終了する。
- 【0011】この低溫結晶化のメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。および、これらの触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜は、通常の固相成長法で結晶化した結晶性ケイ素膜の一つの粒内が双極構造であるのに対して、その粒内は向本もの柱状結晶ネットワークで構成されており、それらの柱状結晶内部にはほぼ理想的な単結晶状態となっている。
- 【0012】現在は上記(3)の方法が主流となっており、上記(3)の方法では溶融化過程を利用して結晶化するので、個々の結晶粒内の結晶性は非常に良好である。また、照射光の波長を揃えることで、アニールの対象

- であるケイ素膜のみを効果的に加熱し、下層のガラス基板への熱的損傷を防ぐことができて共に、上記(2)の方法のような長時間にわたる処理が必要でない。装置面でも高出力のエキシマレーザーアニール装置などが増えられ、大面積基板に対してでも対応可能になりつつある。
- 【0013】上記第1の公報は、非晶質ケイ素膜に触媒元素を導入し、触媒元素と非晶質ケイ素膜を反応させた後、触媒元素を除去し、その後非晶質ケイ素膜の結晶化速度より低い温度でアニールするものである。また、上記第2の公報は、非晶質ケイ素膜の一部に選択的に触媒元素を導入し加熱することで、他の部分を非晶質ケイ素膜の状態として残したまま、選択的に触媒元素が導入された領域のみを結晶化し、そして、さらに加熱時間を延長することで、その導入領域から横方向(基板と平行な方向)に結晶成長を行わせている。この横方向結晶成長領域の内部では、成長方向がほぼ一方に揃った柱状結晶がひしめき合っており、触媒元素が直接導入されたランダムに結晶核の発生が起こった領域に比べて、結晶性が良好な領域となっている。よって、この横方向結晶成長領域の結晶性ケイ素膜を半導体装置の活性領域に用いることにより、半導体装置の高性能化が行える。
- 【0014】上記(3)の方法を利用して第1の公報および第2の公報で提案されている技術は、有用なものであるけれども、この技術だけでは未だ十分な性能の半導体装置は得られていない。すなわち、個々の結晶粒を構成する柱状結晶の結晶性は良好でも、その結晶粒境界部はキャリアに対するトラップ単位として動く。しかしながら、第1の公報および第2の公報により得られる結晶性ケイ素膜に、強光照射することでその結晶性はさらに助長され、非常に高品質な結晶性ケイ素膜となる。したがって、現在の技術において、高性能な半導体装置を実現するために、その活性領域を構成するケイ素半導体薄膜の作製において、上記(3)の方法が最良であるところから、上記(3)の方法で得られる結晶性ケイ素膜は、その表面ラフネスの大きさが大きな問題点となる。すなわち、上記(3)の方法では、非晶質ケイ素膜は、強光のエネルギーにより、その微点1414℃以上まで瞬時に加熱され、数十nsec.程度の冷却時間にて室温付近まで冷却されて固化される。この際、あまりにも冷却速度が速いので、ケイ素膜は過冷却状態となり、一時にして固化される結果、一般的に結晶粒径は100~200nm程度と非常に小さくなくとも共に、結晶粒がぶつかり合った点、すなわち結晶粒境界は山状に盛り上がる。この現象は、特に3つの結晶粒がぶつかり合った三極点で顕著となる。この結晶成長に起因する山状の盛り上がり(以後「リッジ」と呼ぶ。
- 【0015】上記の現象は、非晶質ケイ素膜においてだけでなく、結晶性ケイ素膜に対しても同様起こる。結晶性ケイ素膜の場合は、強光照射により溶融した状態で

- メカニズムによりリッジが発生する以上、若干その大きさが低減する程度の効果しか無く、根本的な解決策とはなれない。したがって、第3の公報を用いて半導体薄膜を形成し、半導体装置を作製したとしても、本発明の目的とする高信頼性を有する高性能な装置を得ることはできない。
- 【0020】本発明は、TFTなどの半導体装置に使用される半導体薄膜において、上述の熱エネルギーあるいはレーザー光を使用して結晶化される際の課題点を全て解決し、高品質な結晶性ケイ素膜を得るものであり、高信頼性を有する高性能な半導体装置や高表示レベルの液晶表示装置などを実現するものである。
- 【0021】
- 【課題を解決するための手段】本発明は、より大型でより高解像度のアクティブマトリクス液晶表示装置や、同一基板上に液晶駆動用のドライバを作り込むドライバモノリシック型アクティブマトリクス液晶表示装置、高速で高解像度の増着型イメージセンサー、三次元ICなどを実現するために、それら半導体素子の活性領域となる高品質な半導体薄膜を供給することを目的とする。すなわち、本発明は、上述のようにレーザー光などの強光照射により得られる半導体薄膜における従来の問題点を解決するものである。具体的には、本発明は以下の特徴を有する。
- 【0022】本発明の請求項1記載の半導体薄膜は、絶縁表面を有する基板上に形成された結晶性を有するケイ素膜であって、該ケイ素膜は、非晶質ケイ素膜を強光照射により結晶化させてなり、その表面が微凸化工程により削られ、平坦化されていることを特徴とする。
- 【0023】本発明の請求項2記載の半導体薄膜は、絶縁表面を有する基板上に形成された結晶性を有するケイ素膜であって、該ケイ素膜は、固相結晶成長により結晶化された結晶性ケイ素膜に強光照射により再結晶化させられ、その表面が微凸化工程により削られ、平坦化されていることを特徴とする。
- 【0024】本発明の請求項3記載の半導体装置は、絶縁表面を有する基板上に画素電極を駆動する薄膜トランジスタを有し、薄膜トランジスタには画素電極による液晶容量と並列に補助容量が接続されてなる半導体装置において、上記薄膜トランジスタのチャネル領域と、上記補助容量の一方の電極とが、上記絶縁表面を有する基板上に形成された非晶質ケイ素膜に強光照射を照射して結晶化させ、その表面が微凸化工程により削られ平坦化された半導体薄膜を用いて構成されたことを特徴とする。
- 【0025】本発明の請求項4記載の半導体装置は、絶縁表面を有する基板上に画素電極を駆動する薄膜トランジスタを有し、薄膜トランジスタには画素電極による液晶容量と並列に補助容量が接続されてなる半導体装置において、上記薄膜トランジスタのチャネル領域と、上記補助容量の一方の電極とが、上記絶縁表面を有する基板上に形成された非晶質ケイ素膜に強光照射を照射して結晶化させ、その表面が微凸化工程により削られ平坦化された半導体薄膜を用いて構成されたことを特徴とする。



(7)

11

る。この補助容量Csは大きいほど上記電圧降下を小さくできるため、また、製造プロセス上層間の面から、TFTのゲート絶縁膜と同一層により構成するのが最も望ましい。しかしながら、補助容量Csの画面内でのばらつきは、画面上にフリッカーなどの表示むらを引き起こす原因となる。従来、強光照射により得られる結晶性ケイ素膜を用いた補助容量Csの取付けは、補助容量Csがばらつき、良好な表示品質の液晶表示装置を得ることが難しく、それに對して、本発明による結晶性ケイ素膜を用いた場合には、表面ラフネスが大きき低減されるため、補助容量Csのばらつきを抑えることができ、表示むらの低い高品質液晶の液晶表示装置が得られる。

【0046】本発明におけるリッジによるケイ素膜の表面粗さは、平均面粗さRaによって定義される。平均面粗さRaとは、基準面（指定面の高さの平均値となるフラット面）から指定面までの偏距の絶対値を平均した値であり、次式で表される。

$$Ra = 1/S \int_0^S |F(X, Y) - Z_0| dx dy$$

ここで、Sは基準面の面積、Z<sub>0</sub>は基準面の高さ、F(X, Y)は座標(X, Y)における指定面の高さを表す。本発明は、リッジによるケイ素膜表面の凹凸を酸化工程により低減することが目的であるから、少なくとも表面粗さの平均値を致す上記平均面粗さRa以上の厚厚にわたり、ケイ素膜を酸化することが必要となる。酸化工程により酸化されるケイ素膜の厚厚Tが平均面粗さRaよりも少ないと、リッジの大きさは若干は小さくなるものの、その形状としては変化しないため、電界集中に對してウィークポイントという点では、ほとんど効果はない。したがって、本発明においては、強光照射後におけるケイ素膜表面の平均面粗さRaと表面酸化膜の厚厚Tが、少なくともT>Raの関係にあることを特徴とする。

【0048】前記の平均面粗さRaは、原子間力顕微鏡(AFM)にて、10μm以下の測定エリアに対して測定された値であれば、サブnmオーダーまでの測定精度があり、本発明の主旨を損なうことはない。

【0049】本発明において用いられる強光とは、波長500nm以下のレーザー光を用いることが望ましい。なぜなら、強光照射によるケイ素膜の結晶化あるいは平準化において、波長500nm以下の強光にて行えば、ケイ素膜に対する吸収係数が極めて高いため、ガラス基板に熱的ダメージを与えなく、ケイ素膜のみを同時に加熱することができる。また、レーザー光を熱するだけの高出力が可能となる。その中でも、特に波長308nmのXeClエキシマレーザー光は、出力が大きいため、基板照射時のビームサイズを大きくでき、大面積基板に對してやすく、また出力も比較的稳定

11

しており、最速熱処理に適用する上で最も望ましい。

【0050】第5に本発明における結晶性ケイ素膜表面の酸化工程としては、スチeam（水蒸気）雰囲気中で加熱処理により行われることを特徴とする。スチeam雰囲気は、他の酸化ガスに比較して酸化レートが大きく、比較的低温かつ短時間である程度の酸化膜が得られる。したがって、基板に耐熱性の低いガラスなどの素材を用いた場合には、基板温度を十分に上げることができないため、低温にて酸化レートの大きなスチeam雰囲気が最も適している。また、このスチeam雰囲気は、その原子成分として半導体薄膜に對して有害となる成分は全く含まれていないため、安心して使用できる。

【0051】上記スチeam雰囲気での酸化工程における加熱温度としては、550～900℃の温度範囲であることを特徴とする。550℃以下の温度では十分な酸化レートが得られず、長時間を要しても酸化はほとんど進まない。これに對して、900℃以上では、酸化レートが大きすぎるため、その制御が困難となり、半導体薄膜全てが酸化されるような場合も出てくる。よって、上記温度範囲において処理することが望ましい。

【0052】また、ガラス基板が使用できる650℃程度以下の温度でより酸化レートを大きくするには、この酸化工程を1気圧以上の加圧スチeam（水蒸気）雰囲気下にて行えばよい。酸化レートは圧力に応じて増大するため、10気圧では、1気圧時に比べて約10倍の酸化レートが得られる。よって、この酸化工程を1気圧以上の加圧スチeam（水蒸気）雰囲気下にて行うことで、本発明における半導体薄膜製造時のタクトタイムの向上が図れる。

【0053】基板に石英などの高耐熱性の基板を用いた場合には、より高い温度まで加熱できる。このとき、酸化現象に加えて、前記低温酸化工程では起こらなかった新たな現象が起こる。すなわち、対象物である結晶性ケイ素膜は、表面酸化されると共に、個々の結晶粒内および境界がさらに良好に処理され、残っていた結晶欠陥はほぼ消滅する。また、結晶性ケイ素膜中に存在している不純物元素が表面酸化膜へと引き出され、結晶性ケイ素膜は非常に高品質化される。このような高い温度では、スチeam雰囲気でのレーザー照射は困難であり、酸素あるいはHCl雰囲気で行うのがよい。特にHClガスは、半導体薄膜中に含まれる不純物元素に対するゲッタリング特性に優れ、触媒元素を用いて結晶化された結晶性ケイ素膜に對しては、その触媒元素を除去する意味で非常に有効である。

【0054】上記加熱処理温度としては、800～1100℃の温度範囲であることが望ましい。800℃以下であれば、十分な酸化レートが得られない上、上記の結晶性改善および不純物除去の効果も見られない。また、1100℃以上では、酸化レートはさらに上昇するが、結晶性改善および不純物除去の効果は、ほぼ飽和に達

(8)

13

し、石英基板の耐熱性の面からも、これ以上温度を上げる必要はない。

【0055】

【発明の実施の形態】

（実施例1）本発明を用いた第1の実施例について説明する。本実施例では、本発明を利用し、ガラス基板上に液晶表示装置用のアクティブマトリクス基板を製作する際の工程について、説明を行う。本発明のアクティブマトリクス基板は、液晶表示装置の各素子電極に對応して1個づつスイッチング素子としてNチャネル型TFTが形成され、そのドレイン領域側には画素液晶容量と並列に補助容量Csが設けられている。

【0056】以下において、図2は本実施例の作製工程の概要を示す断面図であり、(A)→(F)の順にしたがって作製工程が順次進行する。図2(F)は本実施例にて作製した画素TFTおよびその補助容量Cs部の完成図を示し、N型TFT領域224と、補助容量Cs領域226を示す。

【0057】まず、図2(A)に示すように、ガラス等の透明で耐熱性の基板201上に例えばスパッタリング法によって厚さ300nm程度の酸化ケイ素膜がなる下地膜202を形成する。この酸化ケイ素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。

【0058】次に、減圧CVD法やプラズマCVD法などによって、厚さ40～100nm、例えば50nmの非晶質ケイ素(a-Si)膜203を成膜する。プラズマCVD法により前記a-Si膜203を成膜した場合、その膜中に多量の酸素を含み、後のレーザー照射時の腐蝕がれの原因となるため、ここで450℃程度の温度で数時間熱処理を行い、膜中の酸素を放出しておく必要がある。

【0059】その後、図2(A)に示すように、レーザー光207を照射し、a-Si膜203を結晶化する。このときのレーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40nsec.）を用いた。レーザー光207の照射条件は、照射時に基板を200～500℃、例えば400℃に加熱し、エネルギー密度200～350mJ/cm<sup>2</sup>、例えば300mJ/cm<sup>2</sup>とした。レーザー光207は、基板面に對して順次走査され、a-Si膜203の任意の一点に對して、それぞれ10回レーザー照射されるように走査ビッチを設定した。この工程により、a-Si膜203はその熔点以上に加熱され、溶融し固化的することで良好な結晶性を有する結晶性ケイ素膜203dとなる。ここで、原子間力顕微鏡(AFM)により、結晶性ケイ素膜203dの表面の平均面粗さRaを測定すると、4～5nm程度の値であった。

【0060】次に、例えば10気圧のスチeam雰囲気下にて、加熱温度550～900℃、例えば800℃にて4時間程度のアニール処理を施す。この工程により、図

14

2(B)に示すように、結晶性ケイ素膜203dの表面は酸化され、表面酸化膜208が形成されて結晶性ケイ素膜203dは厚さ30nm程度に薄化される。このとき、以前に図1を用いて説明したように、結晶性ケイ素膜203dの表面のリッジ部は特に酸化作用が進み、結晶粒表面に比べ大きく酸化される。その後、表面酸化膜208をエッチングし除去する。このときの結晶性ケイ素膜203dの表面を原子間力顕微鏡AFMにより測定した結果、平均面粗さRaは1～2nm程度と、初期値に比べ大きく低減された。

【0061】次に、前記結晶性ケイ素膜203dのパターニングにより不要な部分を除去することで、図2(C)に示すような素子間分離を行う。液晶表示装置の領域内で後述TFTの活性領域（ソース領域、ドレイン領域、チャネル領域）および補助容量Csの下地電極を構成する島状の結晶性ケイ素膜209を形成する。

【0062】次に、図2(D)に示すように、上記島状の結晶性ケイ素膜領域209上にフォトリソレジストを塗布し、露光・現像してマスク210を形成する。すなわち、マスク210により、後にTFTのチャネル領域となる部分のみが覆われた状態となつていく。そして、イオンドーピング法によって、フォトリソレジスト210をマスクとして不純物（リン）211を注入する。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)を用い、加速電圧を5～30kV、例えば15kV、ドーズ量を1×10<sup>15</sup>～8×10<sup>15</sup>cm<sup>-2</sup>、例えば2×10<sup>15</sup>cm<sup>-2</sup>とする。この工程により、不純物が注入された領域は後のTFTのソース領域218と補助容量Cs領域226の下地電極219を形成する。フォトリソレジストのマスク210により、不純物211が注入されない領域は、上述のように後にTFTのチャネル領域217となる。

【0063】次に、図2(E)に示すように、マスク210を除去し、上記チャネル領域217、ソース領域218、下部電極219を覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜212として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150～600℃、好ましくは300～400℃で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは希薄CVD法によって、基板温度を350～600℃、好ましくは400～550℃として形成してもよい。成膜後、ゲート絶縁膜212自身のバルク特性および結晶性ケイ素膜/ゲート絶縁膜の界面特性を向上させるために、不活性ガス雰囲気下で400～600℃で数時間のアニールを行った。同時に、このアニール処理により、ソース領域218とドレイン領域および補助容量Csの領域219にドーピングされた不純物211が活性化され、ソース領域218とドレイン領域および補助容

(1)

15

量Csの領域219が低抵抗化された結果、そのシート抵抗は500～800Ω/□となった。

【0064】引き続き、スパッタリング法によって、厚さ300～500nm、例えば400nmのアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート絶縁膜213と補助容量Cs領域226の上部絶縁膜214を形成する。ここで、ゲート絶縁膜213は平面的に見れば第n番目のゲートバスラインの一部であり、補助容量Csの上部絶縁膜214は第n+1番目のゲートバスラインの一部として形成されている。

【0065】そして、図2(F)に示すように、厚さ500nm程度の酸化ケイ素膜を層間絶縁膜220として形成する。この酸化ケイ素膜はTEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。次に、層間絶縁膜220にコンタクトホールを形成して、ソース電極221と画素電極222を形成する。ソース電極221は、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって形成する。窒化チタン膜は、アルミニウムの半導体層に拡散するのを防止する目的のパリア膜として設けられる。画素電極222はITOなど透明導電膜により形成される。

【0066】そして最後に、1気圧の水素雰囲気中で350℃、1時間程度のアニールを行い、図2(F)に示すN型TFT224および補助容量Cs領域2226を完成させる。このアニール処理により、N型TFT224の活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。なお、さらにN型TFT224を保護する目的で、必要箇所のみプラズマCVD法により形成された窒化ケイ素膜をカバーしてもよい。

【0067】以上の実施例にしたがって作製したN型TFTは、電界効果移動度で50～80cm<sup>2</sup>/Vs、閾値電圧2～3Vという良好な特性を示した。また、N型TFT224のチャネル領域217とその補助容量Cs領域226の下部絶縁膜219においては、その表面平均粗さRaが共に1～2nm程度に低減されているため、ゲート絶縁膜212を介したリーク電流はほとんど無く、それぞれの容量の不均一性も小さく抑えらる。その結果、本実施例で作製したアクティブマトリクス基板を用い、液晶表示パネルを作製し、全面表示を行った結果、信頼性が高く、表示むらの無い高表示位位の液晶表示装置が実現できた。

【0068】(実施例2) 本発明を用いた第2の実施例について説明する。本実施例では、石英ガラス基板上にNチャネル型TFTを作製する際の工程において、本発明を利用した場合についての説明を行う。本実施例のTFTはアクティブマトリクス型の液晶表示装置のドライバ回路や画素部分は勿論、同一基板上にCPUを構成

16

する素子としても用いることができる。なお、TFTの応用範囲としては、液晶表示装置のみではなく、一般に言われる薄型集積回路に利用できることは言うまでもない。以下において、図3は本実施例で説明するTFTの作製工程の概要を示す断面図であり、(A)→(F)の順にしたがって作製工程が順次進行する。

【0069】まず、石英ガラスよりなる基板301の裏面を1%程度の低濃度フッ酸により洗浄する。次に減圧CVD法によって、厚さ40～100nm、例えば60nmの真性(I型)の非晶質ケイ素膜(a-Si膜)303を成膜する。

【0070】まず、石英ガラスよりなる基板301の裏面を1%程度の低濃度フッ酸により洗浄する。次に減圧CVD法によって、厚さ40～100nm、例えば60nmの真性(I型)の非晶質ケイ素膜(a-Si膜)303を成膜する。

【0071】次に図3(A)に示すように、a-Si膜303の裏面にニッケルのような触媒元素を溶かした水溶液が指すように基板301を保持する。本実施例では、溶液としては酢酸ニッケルを用い、水溶液中のニッケル濃度は10ppmとなるようにした。その後、スピンナーにより水溶液を基板301上に均一に延ばし乾燥させ、触媒元素膜305を形成する。

【0072】そして、これを水素還元雰囲気下または不活性雰囲気下、加熱温度520～800℃で数時間から十数時間、例えば550℃で4時間アニールして結晶化させる。この際、表面に塗布されたニッケルは、結晶性ケイ素膜303a全体に拡散しており、このときの結晶性ケイ素膜303a中のニッケル濃度は、 $2 \times 10^{14}$ atoms/cm<sup>2</sup>程度であった。このときの層々の結晶度は、100～200nm幅の柱状結晶のネットワークにより構成されており、20～30μm程度の結晶粒径であった。

【0073】その後、図3(B)に示すように、レーザ光307を照射し、結晶性ケイ素膜303aの再結晶化を行う。このときのレーザ光としては、XeClエキシマレーザ(波長308nm、パルス幅40nsec)を用いた。レーザ光307の照射条件は、照射時に基板を200～500℃、例えば400℃に加熱し、エネルギー密度200～350mJ/cm<sup>2</sup>、例えば300mJ/cm<sup>2</sup>とした。レーザ光307は、基板面に対して即ち走査され、結晶性ケイ素膜303aの任意の一点に対して、それぞれ10回レーザ照射されるように走査ピッチを設定した。この工程により、結晶性ケイ素膜303aはその融点以上に加熱され、溶融し固化することで、一部を結晶膜として再結晶し、さらに良好な結晶性となる。ここで、原子間力顕微鏡(AFM)に

17

より、結晶性ケイ素膜303aの表面の平均面粗さRaを測定すると、6～7nm程度の値であった。第1実施例と比較して表面の平均面粗さRaが大きいのは、レーザ照射における出発膜が結晶性ケイ素膜であるため、上記のように、その一部を結晶膜として再結晶化し、結晶粒径が大きく成長するからであり、その分リッジも大きくなるからである。

【0074】次に、HClガス雰囲気下にて、加熱温度800～1100℃、例えば1050℃で30分程度アニール処理を施す。この工程により、図3(C)に示すように、結晶性ケイ素膜303aの表面は酸化され、表面酸化膜308が形成されて、結晶性ケイ素膜303aは厚さ30nm程度に薄層化される。このとき、以前に図1を用いて説明したように、結晶性ケイ素膜308aの表面のリッジ部は特に酸化作用が進み、結晶粒表面に比べ大きく酸化される。それと共に、結晶性ケイ素膜303aの結晶粒内では、欠陥が消滅すると共にそれぞれ柱状結晶が結合し、ほぼ平坦結晶状態へと変化する。また、結晶粒間も良好に処理され、キャリアに対するトラップ密度、トラップ密度が低減される。その結果、結晶性ケイ素膜303aは、非常に高品質な結晶性ケイ素膜303aへと変化する。同時に、結晶性ケイ素膜303a中(特に結晶粒界面)に残留していたニッケルは、結晶性ケイ素膜303a中から表面酸化膜308へと移動し、高品質結晶性ケイ素膜303aの表面酸化膜308の界面、および表面酸化膜308中にニッケルが同化する。

【0075】その後、表面酸化膜308をエッチングし除去することで、得られる高品質結晶性ケイ素膜303aの表面を原子間力顕微鏡(AFM)により測定した結果、平均面粗さRaは2nm程度と、初期値に比べ大きく低減された。また、このエッチング工程にて、結晶性ケイ素膜303a中から表面酸化膜308へと移動してきたニッケルも同時に除去され、高品質結晶性ケイ素膜303a中のニッケル濃度は、 $5 \times 10^{14}$ atoms/cm<sup>2</sup>程度にまで低減された。

【0076】次に、図3(D)に示すように、パターニングにより不要な部分の結晶性ケイ素膜303aを除去して素子間分離を行い、後にTFTの活性領域(ソース領域、ドレイン領域、チャネル領域)となる島状の結晶性ケイ素膜309を形成する。

【0077】次に、上記の活性領域となる島状の結晶性ケイ素膜309を覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜312として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150～600℃、好ましくは300～400℃で、RFプラズマCVD法で分解・堆積した。成膜後、ゲート絶縁膜312自身のバルク特性および結晶性ケイ素膜309

(10)

18

ゲート絶縁膜312の界面特性を向上するために、不活性ガス雰囲気中で800～1000℃で30～60分アニールを行った。

【0078】引き続き、スパッタリング法によって、厚さ300～800nm、例えば500nmのアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート電極313を形成する。さらに、このアルミニウムの電極の表面を層間酸化膜として、表面酸化膜315を形成する。この状態を図3(E)に示す。層間酸化膜は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態を1時間保持して終了させる。得られた酸化膜315の厚さは200nmである。なお、この酸化膜315は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記層間酸化膜工程で決めることができる。

【0079】次に、イオンドーピング法によって、ゲート電極313とその周囲の酸化膜315をマスクとして活性領域に不純物(リン)を注入する。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)を用い、加熱電圧を80～90kV、例えば80kV、ドーズ量を1×10<sup>15</sup>～8×10<sup>15</sup>cm<sup>-2</sup>、例えば2×10<sup>15</sup>cm<sup>-2</sup>とする。この工程により、不純物が注入された領域は後にTFTのソース領域318とドレイン領域319となり、ゲート電極313およびその周囲の酸化膜315にマスクされ不純物が注入されない領域は、後にTFTのチャネル領域317となる。

【0080】その後、図3(E)に示すように、レーザ光318の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザとしてXeClエキシマレーザ(波長308nm、パルス幅40nsec)を用い、エネルギー密度150～400mJ/cm<sup>2</sup>、好ましくは200～250mJ/cm<sup>2</sup>で、1カ所に付き4ショット照射を行った。こうして形成されたN型不純物(リン)が注入されたソース領域318、ドレイン領域319のシート抵抗は、200～300Ω/□であった。

【0081】続いて、厚さ600nm程度の酸化ケイ素膜を層間絶縁膜320として形成する。この酸化ケイ素膜の形成には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0082】次に、層間絶縁膜320にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTのソース電極321、ドレイン電極322を形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のパリア



(11)

11

膜として設けられる。そして最後に、1気圧の水素雰囲気下で350℃、1時間程度のアニールを行い、図3(F)に示すN型TFT 324を完成させる。

【0083】この実施例によるN型TFTを、液晶表示装置の画素電極をスイッチングする素子として用いる場合にはソース電極321またはドレイン電極322をI<sub>TO</sub>など透明導電膜となる画素電極に接続し、もう一方の電極より電圧を入力する。また、このTFTを薄膜集積回路に用いる場合には、ゲート電極313上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0084】以上の実施例にしたがって作製したN型TFTは、電界効果移動度が200～250 cm<sup>2</sup>/Vs、閾値電圧0～1Vという良好な特性を示し、TFTオア領域でのリーク電流も数pA程度と小さい。また、繰り返し測定を行っても、それに伴う経時変化はほとんどなく、非常に安定した特性を示した。

【0085】(実施例3) 本発明を用いた第3の実施例について説明する。本実施例では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成するNチャネル型TFTとPチャネル型TFTを相対的に構成したCMOS構造の回路を石英ガラス基板上に作製する工程について、説明を行う。

【0086】図4は、本実施例で説明するTFTの作製工程の概要を示す平面図である。図5は、図4のA'-A'で切った断面面図であり、(A)→(F)の順にしたがって工程が順次進行する。図5(F)に示すのが、本実施例によるCMOS回路の完成図であり、N型TFT 424とP型TFT 425により構成される。

【0087】まず、石英ガラスよりなる基板401の表面を1気程度の低圧プラズマにより洗浄する。

【0088】次に、減圧CVD法あるいはプラズマCVD法によって、厚さ40～100 nm、例えば80 nmの真性(1型)の非晶質ケイ素膜(a-Si膜) 403を成膜する。

【0089】次に、a-Si膜403上に感光性樹脂(フォトレジスト)を塗布し、露光・現像してマスク404とする。マスク404に形成したスルーホールにより、スリット領域400においてスリット状にa-Si膜403が露出される。即ち、図5(A)の状態を上面から見ると、図4のように領域400でa-Si膜403が露出しており、他の部分はフォトレジストによりマスクされている状態となっている。

【0090】次に、図5(A)に示すように、基板401表面にニッケルを薄膜蒸着し、触媒元素膜405を形成する。本実施例では、蒸着ソースと基板間の距離を通常より大きくして、蒸着レートを低下させることで、ニッケルの触媒元素膜405の厚さが1～2 nm程度となるように制御した。このときの基板401上におけるニッケルの面密度を実際に測定すると、4×10<sup>13</sup> atom/cm<sup>2</sup>程度であった。

11

11

ms/cm<sup>2</sup>程度であった。そして、フォトレジストマスク404を除去することで、マスク404上の触媒元素膜405がフォトリソグされ、スリット領域400のa-Si膜403において、選択的に触媒元素としてニッケルの微量添加が行われたことになる。そして、これを不活性雰囲気下、例えば加熱温度550℃で16時間アニールして結晶化させる。

【0091】この際、領域400においては、a-Si膜403の表面に添加されたニッケルを核として基板401に対して垂直方向にa-Si膜403の結晶化が起これ、結晶性ケイ素膜403aが形成される。そして、スリット領域400の周辺領域では、図5(B)において、矢印406で示すように、スリット領域400から横方向(基板と平行な方向)に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜403bが形成される。また、それ以外の領域は、そのまま非晶質ケイ素膜領域403cとして残る。この横方向結晶成長した結晶性ケイ素膜403b中のニッケル濃度は1×10<sup>17</sup> atom/cm<sup>3</sup>程度であった。なお、上記結晶成長に際し、矢印408で示される基板と平行な方向の結晶成長の距離は、80 μm程度であった。

【0092】その後、図6(B)に示すように、レーザー光407を照射し、a-Si膜403の再結晶化を行う。このときのレーザー光としては、XeClエキシマレーザー(波長308 nm、パルス幅40 nsec)を用いた。レーザー光407の照射条件は、照射時に基板を200～500℃、例えば400℃に加熱し、エネルギー密度200～350 mJ/cm<sup>2</sup>、例えば300 mJ/cm<sup>2</sup>とした。レーザー光407は、基板面に対して順次走査され、a-Si膜403の任意の一点に対して、それぞれ10回レーザー照射されるように走査ビッチを設定した。この工程により、結晶性ケイ素領域403aおよび403bはその露点以上に加熱され、溶融し固化することで、一部を微結晶として再結晶し、さらに良好な結晶性となる。また、非晶質ケイ素領域403cは、結晶化された結晶性ケイ素膜403dとなる。ここで、原子間力顕微鏡(AFM)により、結晶性ケイ素膜403b表面の平均面粗さR<sub>a</sub>を測定すると、6～7 nm程度の値であった。

【0093】次に、酸素ガス雰囲気下にて、加熱温度800～1100℃、例えば1050℃で30分程度のアニール処理を施す。この工程により、図5(C)に示すように、結晶性ケイ素膜403a、403b、403dの表面は酸化され、表面酸化膜408が形成され、特に結晶性ケイ素膜403bは膜厚30 nm程度に薄層化される。このとき、以前に図1を用いて説明したように、結晶性ケイ素膜403bの表面のリッジ部は特に酸化作用が進み、結晶粒表面に比べて大きく酸化される。それと共に、結晶性ケイ素膜403bでは、欠陥が消滅すると共にそれぞれ柱状結晶が結合し、ほぼ単結晶状態となるように配置してある。このような配置を要すること

(11)

11

11

る。その結果、結晶性ケイ素膜403bは、非常に高品質な結晶性ケイ素膜403b'へと変化する。また、結晶性ケイ素膜403aも高品質な結晶性ケイ素膜403a'となる。

【0094】その後、表面酸化膜408をエッチングし除去することで、高品質結晶性ケイ素領域409を形成する。高品質結晶性ケイ素領域の膜表面を原子間力顕微鏡(AFM)により測定した結果、平均面粗さR<sub>a</sub>は2 nm程度と、初期値に比べて大きく低減された。

【0095】その後、図5(D)に示すように、高品質結晶性ケイ素膜403b'領域が、後のTFTの活性領域(素子領域)を構成する島状の結晶性ケイ素膜409n、409pとなるように、それ以外の結晶性ケイ素膜をパターンニングによりエッチング除去して素子間分離を行う。

【0096】次に、上記の活性領域となる島状の結晶性ケイ素膜409nおよび409pを覆うように厚さ100 nmの酸化ケイ素膜をゲート絶縁膜412として成膜する。本実施例では、ゲート絶縁膜412の成膜方法としてSiH<sub>4</sub>ガスとN<sub>2</sub>Oガス原料とし、基板温度800℃で、減圧CVD法にて分解・堆積した。

【0097】引き続き、図5(E)に示すように、スパッタリング法によって厚さ400～800 nm、例えば500 nmのアルミニウム(0.1～2%のシリコンを含む)を成膜し、アルミニウム膜をパターンニングして、ゲート電極413n、413pを形成する。

【0098】次に、イオンドレーピング法によって、島状の結晶性ケイ素領域409n、409pにゲート電極413n、413pをマスクとして不純物(リン、およびホウ素)を注入する。ドレーピングガスとして、フォスフィン(PH<sub>3</sub>)およびジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、前者の場合は、加速電圧を60～90 kV、例えば80 kV、後者の場合は、40～80 kV、例えば65 kVとし、ドレーピング量は1×10<sup>15</sup>～8×10<sup>15</sup> cm<sup>-2</sup>、例えばリンを2×10<sup>15</sup> cm<sup>-2</sup>、ホウ素を5×10<sup>15</sup> cm<sup>-2</sup>とする。この工程により、ゲート電極413n、413pにマスクされた不純物が注入されない領域は後にTFTのチャネル領域417n、417pとなる。ドレーピングに際しては、ドレーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドレーピングを行う。この結果、N型の不純物をドープしたソース領域418nとドレーピング領域419n、P型の不純物をドープしたソース領域418pとドレーピング領域419pが形成され、図5(E)および(F)に示すように、Nチャネル型TFT 424とPチャネル型TFT 425とを形成することができ、この状態を基板上方より見ると図4のようになっている。ここで活性領域409nおよび409pにおいて、矢印408で示す結晶成長方向とキャリアの移動方向(ソース→ドレーピング方向)は平行となるように配置してある。このような配置を要すること

で、さらに高移動度を有するTFTが得られる。

【0099】その後、図5(E)に示すように、レーザー光418の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308 nm、パルス幅40 nsec)を用い、レーザー光の照射条件としては、エネルギー密度250 mJ/cm<sup>2</sup>で一か所につき45ショット照射した。

【0100】続いて、図5(F)に示すように、厚さ800 nmの酸化ケイ素膜を層間絶縁膜420として、T<sub>EOS</sub>を原料としたプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、酸化タンタルとアルミニウムの二層膜によってTFTのソース電極421、ドレイン電極・ソース電極422、ドレーン電極423を形成する。そして最後に、1気圧の水素雰囲気下で350℃、1時間程度のアニールを行い、N型TFT 424とP型TFT 425を完成させる。

【0101】以上の実施例にしたがって作製したCMOS構造の回路において、それぞれのTFTの電界効果移動度はN型TFTで260～350 cm<sup>2</sup>/Vs、P型TFTで120～180 cm<sup>2</sup>/Vsと高く、閾値電圧はN型TFTで0～1V、P型TFTで-2～-3Vと非常に良好な特性を示す。さらに、繰り返し測定に伴う特性劣化もほとんどなく、信頼性の高いCMOS構造回路が得られた。

【0102】以上、本発明に基づく3例の実施例につき具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的趣意に基づき各種の変形が可能である。例えば、前述の3例の実施例においては、XeClエキシマレーザーを用いて、a-Si膜を結晶化、あるいは固相結晶成長ケイ素膜を再結晶化した。本発明は、それ以外の様々な強光照射により結晶化された場合にも勿論、同様の効果があり、波長248 nmのKrFエキシマレーザーや、波長488 nmの連続発光Arレーザーなどにおいても同様である。また、レーザー光の代わりに赤外光、フラッシュランプを使用して短時間に試料を加熱する、いわゆるRTA(ラビッド・サーマル・アニール)などのいわゆるレーザー光と同等の強光を用いてもよい。

【0103】また、上記第2および第3実施例では、固相結晶成長法としては、触媒元素を用い短時間で結晶化する方法を用いたが、触媒元素を用い通常の固相結晶成長法を用いても同様の効果が得られる。また、上記第2および第3実施例では、触媒元素であるニッケルを導入する方法として、非晶質ケイ素膜表面にニッケル塩を溶かした水溶液を塗布する方法、あるいは蒸着法によりニッケル薄膜を形成する方法により、ニッケルの微細加工を行い、結晶成長を行わず方法を採用した。しかし、第1の非晶質ケイ素膜成長前に、基板表面にニッケルを

(13)

21

導入し、非晶質ケイ素膜下層よりニッケルを拡散させ結晶成長を行わせる方法でもよい。即ち、結晶成長は非晶質ケイ素膜の上面側から行ってもよいし、下面側から行ってもよい。また、ニッケルの導入方法としても、その他、様々な手法を用いることができる。例えば、ニッケル塩を溶かせる溶液として、SOG（スピノングラ）材料を溶液としてSIO膜より拡散させる方法も有効であるし、スパッタリング法やメッキ法により薄膜形成する方法や、イオンドレーピング法により直接導入する方法なども利用できる。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト（Co）、パラジウム（Pd）、白金（Pt）、銅（Cu）、銀（Ag）、金（Au）、インジウム（In）、スズ（Sn）、アルミニウム（Al）、アンチモン（Sb）を用いても効果が得られる。

【0104】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバ回路内蔵型のサーマルヘッド、有機系EL等発光素子としたドライバ回路内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速度、高解像度等の高性能化が実現される。さらに本発明は、上述の実施例で説明したMOS型トランジスタに限らず、結晶性半導体素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広い半導体プロセス全般に適用することができる。

【0105】

【発明の効果】本発明を用いることにより、表面凹凸のない高品質結晶性ケイ素薄膜が得られ、非常に高性能で且つ信頼性の高い薄膜半導体装置を形成することができる。特に液晶表示装置においては、ケイ素膜の表面凹凸に起因する表示むらを無くし、画素TFTのスイッチング特性の向上、周辺駆動回路を構成するTFTに要求される高性能化・高集積化が図れ、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するワイヤードライバモノリシック型のアクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【面の簡単な説明】

【図1】本発明の概要を製造工程順に説明する図である。  
【図2】第1の実施例の作製工程を説明する図である。  
【図3】第2の実施例の作製工程を説明する図である。  
【図4】第3の実施例の概要を平面図である。

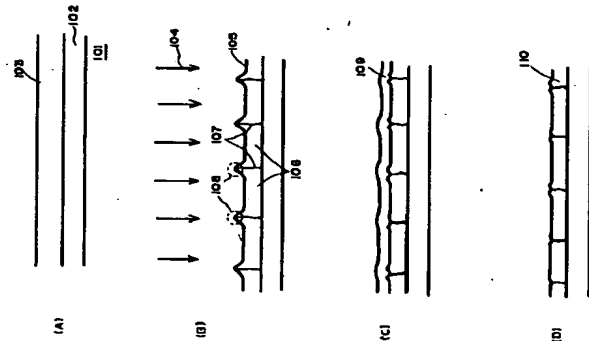
21

【図5】第3の実施例の作製工程を説明する図である。  
【図6】結晶性ケイ素膜表面の原子間力顕微鏡（AFM）像を下にスケッチした図を示す。

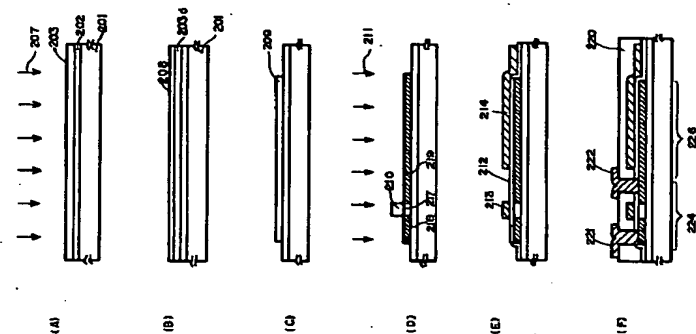
【符号の説明】

- |             |               |             |          |            |
|-------------|---------------|-------------|----------|------------|
| 101         | 基板            | 207         | 307、407  | レーザー光      |
| 102         | 下地膜           | 208         | 308、408  | 表面酸化膜      |
| 103         | 非晶質ケイ素膜       | 209         | 309、409  | 島状の結晶性ケイ素膜 |
| 104         | レーザー光         | 210         | マスク      |            |
| 105         | 結晶性ケイ素膜       | 211         | 不純物（リン）  |            |
| 106         | 結晶粒           | 212         | 312、412  | ゲート絶縁膜     |
| 107         | 結晶粒界          | 213         | 313、413  | ゲート電極      |
| 108         | リッジ           | 214         | 上部電極     |            |
| 109         | 表面酸化膜         | 217         | 317、417  | チャネル領域     |
| 110         | 高品質結晶性ケイ素膜    | 218         | 318、418  | ソース領域      |
| 201、301、401 | 基板            | 219         | 下部電極     |            |
| 202         | 下地膜           | 220、320、420 | 周縁絶縁膜    |            |
| 203、303、403 | 非晶質ケイ素（a-Si）膜 | 221、321、421 | ソース電極    |            |
| 207         | 307、407       | 222         | 画素電極     |            |
| 208         | 308、408       | 224         | N型TFT領域  |            |
| 209         | 309、409       | 226         | 補助容量Cs領域 |            |
| 210         | マスク           | 305、405     | 触媒元素膜    |            |
| 211         | 不純物（リン）       | 315         | 酸化物層     |            |
| 212         | 312、412       | 316、416     | レーザー光    |            |
| 213         | 313、413       | 319、419     | ドレイン領域   |            |
| 214         | 上部電極          | 322、422、423 | ドレイン電極   |            |
| 217         | 317、417       | 324、424     | N型TFT    |            |
| 218         | 318、418       | 404         | マスク      |            |
| 219         | 下部電極          | 406         | 矢印       |            |
| 220、320、420 | 周縁絶縁膜         | 425         | P型TFT    |            |
| 221、321、421 | ソース電極         |             |          |            |
| 222         | 画素電極          |             |          |            |
| 224         | N型TFT領域       |             |          |            |
| 226         | 補助容量Cs領域      |             |          |            |
| 305、405     | 触媒元素膜         |             |          |            |
| 315         | 酸化物層          |             |          |            |
| 316、416     | レーザー光         |             |          |            |
| 319、419     | ドレイン領域        |             |          |            |
| 322、422、423 | ドレイン電極        |             |          |            |
| 324、424     | N型TFT         |             |          |            |
| 404         | マスク           |             |          |            |
| 406         | 矢印            |             |          |            |
| 425         | P型TFT         |             |          |            |

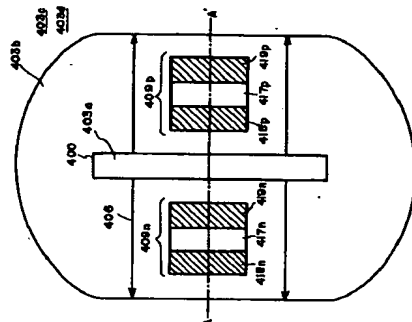
【図1】



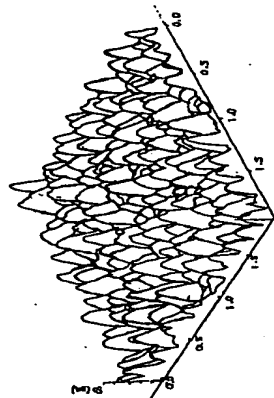
【図2】



【図4】



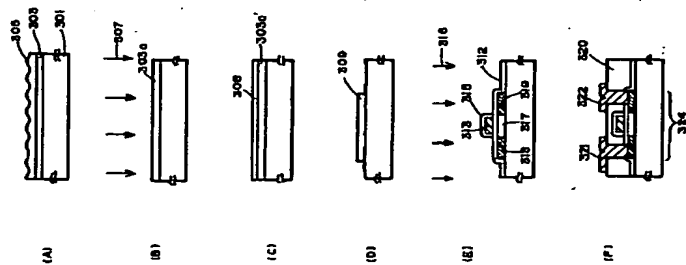
【図6】





(15)

【図3】



【図5】

